

DERWENT-ACC-NO: 1997-265438  
DERWENT-WEEK: 199724  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Insulated gate type FET used in switching element  
of LCD device, drive  
circuit of linear image sensor - has channel area formed on  
glass substrate  
composed of polycrystalline silicon with boron and fluorine  
as additional  
components

PATENT-ASSIGNEE: TOSHIBA KK[TOKE]

PRIORITY-DATA: 1995JP-0244119 (September 22, 1995)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 09092835 A	April 4, 1997	N/A
005	H01L 029/786	

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP09092835A	N/A	1995JP-0244119
September 22, 1995		

INT-CL\_(IPC): G02F001/136; H01L021/336 ; H01L029/786

ABSTRACTED-PUB-NO: JP09092835A

BASIC-ABSTRACT: The FET comprises a channel area (1) formed  
on an insulated  
substrate (8) like glass substrate.

The channel contains polycrystalline silicon as principal  
component with boron  
and fluorine as additional components.

ADVANTAGE - Stabilises heterogeneity characteristics of  
transistor. Improves  
operation speed and efficiency due to high mobility of  
ions.

CHOSEN-DRAWING: Dwg.1/3

TITLE-TERMS:

INSULATE GATE TYPE FET SWITCH ELEMENT LCD DEVICE DRIVE  
CIRCUIT LINEAR IMAGE  
SENSE CHANNEL AREA FORMING GLASS SUBSTRATE COMPOSE  
POLYCRYSTALLINE SILICON  
BORON FLUORINE ADD COMPONENT

DERWENT-CLASS: L03 P81 U12 U14

CPI-CODES: L03-G05B; L04-E01A;

EPI-CODES: U12-B03A; U14-K01A2B;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1997-085568

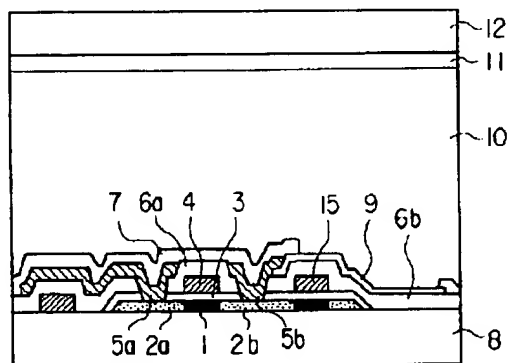
Non-CPI Secondary Accession Numbers: N1997-219742

(11)特許出願公開番号

(43)公開日 平成9年(1997)4月4日

審査請求 未請求 請求項の数7 OL (全 5 頁)

(54)【発明の名称】 絶縁ゲート型電界効果トランジスタ及びその製造方法



## 【特許請求の範囲】

【請求項1】 絶縁基板上にチャンネル部を備え、チャンネル部を形成する多結晶シリコンに硼素及び弗素の両方が含まれていることを特徴とする絶縁ゲート型電界効果トランジスタ。

【請求項2】 多結晶シリコン中に含まれる硼素の原子濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以上、 $5 \times 10^{18} \text{ cm}^{-3}$ 以下で、弗素の原子濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以上、 $5 \times 10^{20} \text{ cm}^{-3}$ 以下であることを特徴とする請求項1記載の絶縁ゲート型電界効果トランジスタ。

【請求項3】 絶縁基板上に硼素及び弗素の両方を含むアモルファスシリコン薄膜を形成する工程と、アモルファスシリコン薄膜にレーザ光を照射して多結晶化する工程とを有することを特徴とする絶縁ゲート型電界効果トランジスタの製造方法。

【請求項4】 プラズマCVD法により絶縁基板上にアモルファスシリコン薄膜を堆積する工程と、イオン注入法又はイオンドーピング法によりアモルファスシリコン薄膜全面に $\text{BF}_2$  イオンを打込む工程と、 $\text{BF}_2$  イオンが打込まれたアモルファスシリコン薄膜にレーザ光を照射して多結晶化する工程とを有することを特徴とする絶縁ゲート型電界効果トランジスタの製造方法。

【請求項5】  $\text{BF}_2$  イオンを打込む工程における $\text{BF}_2$  イオンのドーズ量は、 $2.5 \times 10^{11} \text{ cm}^{-2}$ 以上、 $2.5 \times 10^{13} \text{ cm}^{-2}$ 以下であることを特徴とする請求項4記載の絶縁ゲート型電界効果トランジスタの製造方法。

【請求項6】 シランガス又はジシランガスと水素との混合ガスに、水素により希釈した三弗化ボロンガスを添加した雰囲気中で、絶縁基板上にプラズマCVD法により不純物として硼素及び弗素の両方を含むアモルファスシリコン薄膜を堆積する工程と、アモルファスシリコン薄膜にレーザ光を照射して多結晶化する工程とを有することを特徴とする絶縁ゲート型電界効果トランジスタの製造方法。

【請求項7】 四弗化シランガスと水素ガスとの混合ガスに、水素により希釈したジボランガス又は三弗化ボロンガスを添加した雰囲気中で、絶縁基板上にプラズマCVD法により不純物として硼素及び弗素の両方を含むアモルファスシリコン薄膜を堆積する工程と、アモルファスシリコン薄膜にレーザ光を照射して多結晶化する工程とを有することを特徴とする絶縁ゲート型電界効果トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、液晶ディスプレイの画素部のスイッチング素子並びに駆動回路、及びリニアイメージセンサの駆動回路などに用いられる、チャンネル部を多結晶シリコンで形成した絶縁ゲート型電界効果トランジスタに関する。

## 【0002】

【従来の技術】 液晶ディスプレイの画素部のスイッチング素子として、絶縁ゲート型電界効果トランジスタのチャンネル部をアモルファスシリコンで形成した薄膜トランジスタ(TFT)が広く使用されている。しかし、アモルファスシリコンの実効キャリア移動度( $\mu_{\text{eff}}$ )は、 $1 \text{ cm}^2 / \text{Vs}$ 以下と小さく、アモルファスシリコンを用いたTFTでは、高彩度、高速性などの高機能を有する液晶ディスプレイを実現するための要求を満足することができない。これに対して、チャンネル部を多結晶シリコンで形成したTFTは、実験段階ではあるが、実効キャリア移動度( $\mu_{\text{eff}}$ )として、 $10 \sim 200 \text{ cm}^2 / \text{Vs}$ 程度のものが得られており、液晶ディスプレイの高彩度化、高速化などの高機能化を実現するTFTとして期待されている。しかし、多結晶シリコンを用いた場合、実効キャリア移動度( $\mu_{\text{eff}}$ )及びゲート電圧の閾値( $V_{\text{th}}$ )のバラツキが非常に大きく、液晶ディスプレイの画素部のスイッチング素子として広く実用化されるまでには至っていない。

【0003】 多結晶シリコンは、多くの微細な単結晶で構成されているので、結晶粒界が多数存在しており、それらがキャリア移動の障害となっているが、結晶粒界の分布密度及び結晶粒界に基づく障壁の高さが場所によって異なるために、 $\mu_{\text{eff}}$ 及び $V_{\text{th}}$ の値に大きなバラツキが発生する。このため、液晶ディスプレイの画素部のスイッチング素子として要求される、トランジスタ特性の均一性の条件を満足することができない。

【0004】 多結晶シリコンの結晶粒界には多数のダングリングボンドが存在しており、このため、結晶粒界の近傍のバンド構造にはバリア(突起)が現れ、キャリアの移動を妨げる要因となっている。多結晶シリコンを用いたTFTにおける特性のバラツキは、このダングリングボンドに起因するバリアが不均一に分布することに起因している。

【0005】 従来、このバリアを低くするために、水素が添加されていた。水素の添加によりダングリングボンドが減少して、バリアが低くなり、キャリアの移動度が増大する。例えば、特開昭64-766公報には、水素及び弗素を同時に添加することにより、ダングリングボンドを減少させる方法が開示されている。しかし、水素及び弗素によってダングリングボンドを終端しても、比較的、短時間でこれらの添加元素とシリコン原子との結合が解けてしまうので、バリアの低減の効果が長時間、持続しないという問題があった。これは、シリコン原子と水素原子あるいは弗素原子との結合半径がシリコン原子同志の結合半径と比較して小さいので、ダングリングボンドを終端した箇所の近傍において結晶格子に歪みが生じ、この歪みがシリコン原子と水素原子あるいは弗素原子との結合を解消する方向に作用するためである。

【0006】 なお、多結晶シリコンで形成されるチャネ

3

ルに、硼素を単独でドーピングする例が、特開平5-251703に開示されているが、これは、チャネル層がn型化するのを防止するために硼素をアクセプタとして利用したものであり、本願と目的及び作用が異なっている。

【0007】

【発明が解決しようとする課題】本発明は、上記の事情に鑑みてなされたもので、その目的は、多結晶シリコン薄膜トランジスタの特性の不均一性を改善して、且つ、その効果を長時間に渡って持続させることにより、高機能の液晶ディスプレイの画素部のスイッチング素子として適用可能な、高移動度の絶縁ゲート型電界効果トランジスタを提供することにある。

【0008】

【課題を解決するための手段】本発明による絶縁ゲート型電界効果トランジスタは、チャネル部を形成する多結晶シリコンに硼素及び弗素の両方が含まれていることを特徴とする。チャネルを形成する多結晶シリコンに硼素及び弗素が同時に含まれていると、硼素と弗素が強い結合を作り、それが、結合が不足した部分（ダングリング

ボンド）を終端するので、  
 $\text{Si}-\text{B}=\text{F}_2$ 、 $\text{Si}_2=\text{B}-\text{F}$ 、 $\text{F}-\text{Si}-\text{B}=\text{F}$

などの形態となる。発明者らの調査によれば、この様な形態によってSiのダングリングボンドを終端した場合、その結合半径は、母材であるシリコンの結合半径とはほぼ同等の値を示す。従って、ダングリングボンドの終端部の近傍における結晶格子の歪みは比較的小さく、これら添加元素とシリコンとの結合は安定したものになる。この結果、バンド構造中のバリアを低減させると同時に、その効果を長時間、維持することができるので、特性が均一で且つ安定な絶縁ゲート型電界効果トランジスタを得ることができる。

【0009】なお、硼素及び弗素の添加量の下限値は、結晶粒界に存在するダングリングボンドの少なくとも10%程度を終端させることができる量が目安であり、一方、その上限値は、TFTがオフの時のチャネル部の電気抵抗の下限値により決定される。具体的には、多結晶シリコン中に含まれる硼素の原子濃度を $1 \times 10^{17} \text{ cm}^{-3}$ 以上、 $5 \times 10^{18} \text{ cm}^{-3}$ 以下とし、弗素の原子濃度を $1 \times 10^{17} \text{ cm}^{-3}$ 以上、 $5 \times 10^{20} \text{ cm}^{-3}$ 以下とするのが適当である。

【0010】また、上記の様な絶縁ゲート型電界効果トランジスタは、例えば、プラズマCVD法により絶縁基板上にアモルファスシリコン薄膜を堆積した後、イオン注入法又はイオンドーピング法よりアモルファスシリコン薄膜全面に $\text{BF}_2$ イオンを打ち込み、次に、アモルファスシリコン薄膜にレーザ光を照射して多結晶化する工程によって作成することができる。

【0011】なお、このイオン注入法による硼素及び弗素のドーピングに代わって、予め、CVD原料ガス中

4

に、硼素及び弗素を含有するガスを添加しておくことによって、アモルファスシリコン薄膜中に硼素及び弗素をドーピングすることもできる。

【0012】

【発明の実施の形態】図1に、コプレーナ型絶縁ゲートTFTの断面図を示す。図中、1はチャネル、2aはドレイン、2bはソース、3はゲート絶縁膜、4はゲート電極、5aはドレイン電極、5bはソース電極、9は画素電極、10は液晶層、11は対向電極を表す。この内、チャネル1、ソース2b及びドレイン2aが多結晶シリコンにより形成される。

【0013】図1に示す様に、ガラス基板8の上に多結晶シリコン層が形成され、この中にチャネル領域1及びソース・ドレイン領域2b、2aが作られる。チャネル領域1の上方にはゲート絶縁膜3を介してゲート電極4が形成され、ゲート電極4と整合して形成されたソース・ドレイン領域2b、2aには、それぞれ、ソース電極5b及びドレイン電極5aが接続されている。ゲート電極4とソース電極5bあるいはドレイン電極5aとの間は、層間絶縁膜6aによって絶縁されている。ソース電極5b、ドレイン電極5a及び層間絶縁膜6の上面は保護膜7で覆われている。一方、画素電極9は、ガラス基板8の上に堆積された層間絶縁膜6bの上に形成されており、画素電極9にはソース電極5bが接続されている。TFT及び画素電極9の上方には、液晶層10を挟んで対向電極11が配置されている。

【0014】次に、硼素及び弗素を含む多結晶シリコン薄膜によるチャネル部の形成方法について説明する。先ず、シランガスと水素との混合ガス中においてプラズマCVD法により、ガラス基板8上にアモルファスシリコン薄膜を堆積する。次に、イオン注入法によりアモルファスシリコン薄膜全面に $\text{BF}_2$ イオンをドーピングする。 $\text{BF}_2$ のドーピング量としては、 $3 \times 10^{12} \text{ cm}^{-2}$ とする。次に、 $\text{XeCl}$ のエキシマレーザ光（308nm）を照射してアモルファスシリコン薄膜を多結晶化する。なお、レーザ照射の代わりに、600℃程度に加熱することにより多結晶化することも可能である。その後、レジスト塗布、露光、エッチング等を経て、所定の形状にパターニングする。同様に、成膜、パターニングを繰り返すことにより、図1のようなTFTを備えたアクティブマトリクス型液晶素子が作成される。なお、従来の、TFTの製造プロセスにおいては、上記の様な、アモルファスシリコン薄膜を多結晶化する前での $\text{BF}_2$ ドーピングは行われていなかった。

【0015】なお、上記のイオン注入法による硼素及び弗素のドーピングに代わって、予め、CVD原料ガス中に、硼素及び弗素を含有するガスを添加しておくことによって、アモルファスシリコン薄膜中に硼素及び弗素をドーピングすることもできる。例えば、CVD原料ガスとしてシランガス（又はジシランガス）と水素との混合

5

ガスを使用する場合には、これに水素によって希釈した三弗化ボロンガスをシランガスのモル流量に対して1/10000~1/1000程度添加する方法、あるいは、四弗化シランガスと水素との混合ガスを使用する場合には、これに水素により希釈したジボランガス（又は三弗化ボロンガス）を四弗化シランガスのモル流量に対して1/10000~1/0000程度添加する方法などにより、硼素及び弗素を含むアモルファスシリコン薄膜を堆積させることができる。この様にして堆積されたアモルファスシリコン薄膜の多結晶化は、上記と同様に、レーザ光の照射あるいは600℃程度の加熱により行うことができる。

【0016】

【実施例】図2に、上記のイオン注入法を採用したプロセスにより作成されたコプレーナ型絶縁ゲートTFTのサンプル20個について、温度8.0℃、ゲート・ソース間接地、ドレイン・ソース間電圧+20Vの負荷条件下で10000秒経過後における閾値（V<sub>th</sub>）分布のヒストグラムを示す。また、比較のため、図3に従来のプロセスにより作成されたTFTのサンプル20個について、同一負荷条件下10000秒経過後における閾値（V<sub>th</sub>）分布のヒストグラムを示す。従来のTFTと比べて、本発明に基づくTFTは閾値（V<sub>th</sub>）のバラツキが小さく、安定した特性が得られていることが分る。

【0017】なお、本発明に基づく絶縁ゲート型電界効果トランジスタは、上記の様なコプレーナ型絶縁ゲートTFTに限定されるものではなく、逆スタガー型などのトランジスタ構造にも適用でき、また用途について

6

も、上記の液晶ディスプレイ画素部のスイッチング素子に限定されず、リニアイメージセンサ等にも適用することができる。

【0018】

【発明の効果】絶縁ゲート型電界効果トランジスタにおいて、多結晶シリコンで形成したチャネル部に硼素及び弗素の両方を添加することにより、高移動度で且つ安定した特性を有する多結晶シリコン薄膜トランジスタが得られ、これにより、液晶ディスプレイの高彩度化、高速化などの高機能化を実現することができる。

【図面の簡単な説明】

【図1】本発明に基づく絶縁ゲート型電界効果トランジスタの断面構造を示す図。

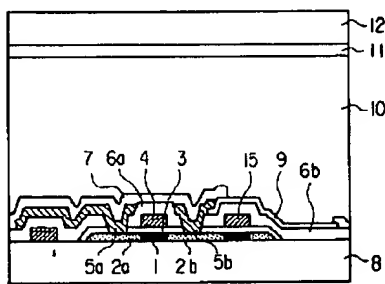
【図2】本発明に基づく絶縁ゲート型電界効果トランジスタの所定負荷の下10000秒経過後における閾値（V<sub>th</sub>）分布のヒストグラム。

【図3】従来の多結晶シリコン薄膜トランジスタの所定負荷の下10000秒経過後における閾値（V<sub>th</sub>）分布のヒストグラム。

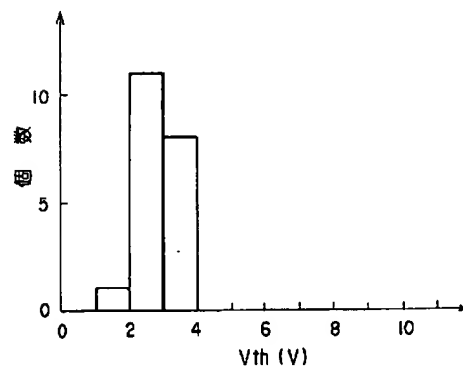
【符号の説明】

1・・・チャネル、2a・・・ドレイン、2b・・・ソース、3・・・ゲート絶縁膜、4・・・ゲート電極、5a・・・ドレイン電極、5b・・・ソース電極、6a、6b・・・層間絶縁膜、7・・・保護膜、8・・・ガラス基板、9・・・画素電極、10・・・液晶層、11・・・対向電極、12・・・対向基板、15・・・補助容量線。

【図1】



【図2】



(5)

特開平9-92835

【図3】

